

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003086548 A**

(43) Date of publication of application: **20.03.03**

(51) Int. Cl.

H01L 21/304
B24B 37/00
C09K 3/14

(21) Application number: **2002061300**

(22) Date of filing: **07.03.02**

(30) Priority: **29.06.01 JP 2001198436**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **KATSUMURA YOSHITERU**
KATSUMURA NOBUHITO
SATO HIDEKI
UCHIDA NORIHIRO
KANAI FUMIYUKI

(54) **MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE AND POLISHING
LIQUID THEREFOR**

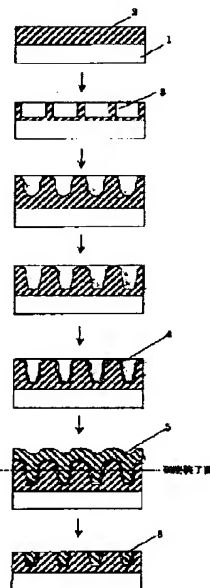
(57) Abstract:

PROBLEM TO BE SOLVED: To realize a step-free embedded structure at a high polishing speed.

SOLUTION: An embedding material film 5 and a barrier film 4 are polished in batch by using polishing agent whose polishing velocities to a substrate material (especially, silicon oxide) 2, an embedding material (especially, tungsten) 5 and a barrier film material (especially, titanium nitride) 4 are almost the same with each other (that is, a polishing velocity gap is within 30%).

COPYRIGHT: (C)2003,JPO

(図3)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-86548
(P2003-86548A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 D 3 C 0 5 8
	6 2 1		6 2 1 D
B 2 4 B 37/00		B 2 4 B 37/00	H
C 0 9 K 3/14	5 5 0	C 0 9 K 3/14	5 5 0 D
			5 5 0 Z
審査請求 未請求 請求項の数10 O L (全 12 頁)			

(21) 出願番号 特願2002-61300(P2002-61300)
(22) 出願日 平成14年3月7日 (2002.3.7)
(31) 優先権主張番号 特願2001-198436(P2001-198436)
(32) 優先日 平成13年6月29日 (2001.6.29)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 勝村 義輝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72) 発明者 勝村 宣仁
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(74) 代理人 100075096
弁理士 作田 康夫

最終頁に続く

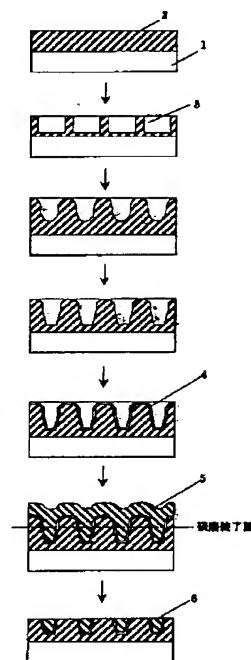
(54) 【発明の名称】 半導体装置の製造方法及びその研磨液

(57) 【要約】

【課題】 段差の無い埋め込み構造を高研磨速度で実現する。

【解決手段】 基板材料（特に酸化シリコン）2と、埋め込み材料（特にタングステン）5と、バリア膜材料（特に窒化チタン）4とに対する研磨速度が、それぞれ同程度（すなわち、研磨速度差が30%以内）である研磨剤を用いて埋め込み材料膜5及びバリア膜4を一括研磨する。

【図3】



【特許請求の範囲】

【請求項1】半導体基板の表面に凹部を形成する凹部形成工程と、該凹部の内壁を覆うように前記基板の表面にバリア膜を形成するバリア膜形成工程と、前記凹部の内部を充填するように埋め込み膜を形成する埋め込み膜形成工程と、前記半導体基板の研磨工程を備え、該研磨工程が、前記半導体基板材料に対するよりも前記埋め込み膜材料に対する研磨速度が小なる第1の研磨液と前記半導体基板材料に対するよりも前記埋め込み膜材料に対する研磨速度が大なる第2の研磨液とを混合した第3の研磨液を用いて前記半導体基板を化学機械的に研磨してなることを特徴とする半導体装置の製造方法。

【請求項2】前記第1の研磨液が5～30重量%の砥粒を含み、前記半導体基板の材料を研磨可能とする研磨液であり、前記第2の研磨液が0.1～10重量%の酸化剤を含み、前記バリア膜及び前記埋め込み膜を研磨可能とする研磨液であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記第3の研磨液は、前記半導体基板材料に対する研磨速度と前記埋め込み膜に対する研磨速度との比が0.55：1～1.8：1の範囲を有してなり、かつ、前記埋め込み膜に対する前記第3の研磨液の研磨速度が前記第1の研磨液の研磨速度よりも大きく、前記半導体基板材料に対する前記第3の研磨液の研磨速度が前記第2の研磨液の研磨速度よりも大きいことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記半導体基板はその表面に絶縁膜を備え、かつ、前記バリア膜が金属化合物からなり、前記埋め込み膜が金属からなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記研磨工程が、前記第1の研磨液と前記第2の研磨液とを定量混合する研磨液混合工程を更に備えてなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】前記酸化剤は少なくとも過酸化水素または過ヨウ素酸を含み、かつ、前記砥粒が少なくともシリカまたはアルミナまたはセリアを含んでなることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項7】前記第3の研磨液が、酸化剤と10～28重量%の砥粒とを含む酸性の研磨であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】内壁がバリア膜で覆われ、かつ、前記内壁を含む内部が埋め込み膜によって充填されてなる凹部を表面に設けられた半導体基板の前記バリア膜及び前記埋め込み膜とを化学機械的に研磨するための研磨液であって、該研磨液が酸化剤と10～28重量%の砥粒とを含み、酸性の溶液であることを特徴とする化学機械研磨用研磨剤。

【請求項9】前記研磨液が、酸化シリコンに対する研磨速度とタングステンに対する研磨速度との比が0.5

5：1～1.8：1の範囲を備えてなることを特徴とする請求項8に記載の化学機械研磨用研磨液。

【請求項10】前記研磨液が、窒化チタンに対する研磨速度とタングステンに対する研磨速度との比が0.7：1～1.3：1の範囲を備えてなることを特徴とする請求項8に記載の化学機械研磨用研磨液。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に薄膜を備える半導体基板の研磨に好適な研磨液と、これを用いた半導体装置の製造方法とに関する。

【0002】

【従来の技術】半導体素子の高集積化に伴い、配線の多層化やメモリLSIにおけるキャパシタセルの立体化によるデバイス構造の3次元化が進んでいる。しかし、積層による3次元化は、結果として段差を生じることがある。この段差は、配線パターン切れやリソグラフィ工程における焦点深度のマージン不足の原因となる。これを防止するためには積層膜の平坦化技術が不可欠であり、ミリメートルオーダの領域内を平坦化するためには、一般に、化学機械研磨法（Chemical Mechanical Polishing、CMPと略す）が用いられている。また、この化学機械研磨法は、素子分離、金属プラグ形成、埋込み配線形成にも利用され、シリコン酸化膜、タングステン、ポリシリコン及び銅等について検討されている。

【0003】しかし、この化学機械研磨法を用いる場合には、研磨の際に生ずるディッシングやエロージョンによって生じる表面段差が、新たに問題となる。なお、ディッシングは、例えば絶縁膜中に金属の埋込み配線を形成する際、金属が絶縁膜よりも過剰に研磨されることによりくぼみが生ずる現象をいい、エロージョンとは、配線密集部の配線及び絶縁膜が配線の無い部分よりも過剰に研磨されることにより段差を生ずる現象をいう。化学機械研磨法を用いる場合、これらの現象の発生を抑えることが必要とされる。

【0004】このため、基板に埋め込みパターンを形成する場合には、一般に、基板と埋め込みパターンとの間にバリア膜を設け、埋め込み材料とバリア材料とを、異なる研磨剤を用いた2段階の研磨工程により研磨することで、このような表面段差の原因となる現象を回避する。すなわち、基板に凹部を形成し、その表面にバリア材料からなるバリア膜と、埋め込み材料からなる埋め込み膜とを順次形成したのち、研磨速度の異なる研磨剤を用いた2段階の研磨工程を行って、ディッシング及びエロージョンの発生を抑制しつつ、凹部に埋め込まれた埋め込みパターンを得る。

【0005】この方法では、1段階目の研磨工程で、バリア材料に対する研磨速度より埋め込み材料に対する研磨速度の方が遥かに速い研磨剤を用いて、凹部以外のバリア膜上の埋め込み材料を除去し、2段階目の研磨工程

において、基板材料に対する研磨速度よりバリア材料に対する研磨速度の方が遥かに速い研磨剤を用いて、凹部以外のバリア膜を除去する。このような研磨方法としては、例えば、つぎの(イ)～(ハ)のような技術が知られている。

【0006】(イ)特開平10-163142号公報には、タングステン(W)/シリコン酸化膜(SiO₂膜)の化学機械研磨において、研磨速度比(選択比)が $W/SiO_2 \geq 6$ であり、かつ、Wの研磨速度が大きい研磨用組成物を用いることにより、ディッシングを小さくできるとの記載がある。

【0007】(ロ)特開平10-214834号公報では、基板上にシリコン酸化膜、チタン(Ti)膜、窒化チタン(TiN)膜、タングステン膜をこの順に積層した後、化学機械研磨によってタングステンコンタクトホール等のパターンを形成する研磨方法が紹介されている。この方法では、チタン膜が露出するまで、研磨速度の選択比が $W > Ti$ (好ましくは $W/Ti > 2$)であって $W/SiO_2 \geq 3$ である研磨剤により第1の研磨を行い、その後、平均研磨速度100nm/分、研磨速度の選択比 $Ti \geq SiO_2$ 、かつ、 $0.5 \leq W/SiO_2 \leq 3$ の研磨剤によって第2の研磨を行うことによりエロージョンの発生を抑制する。

【0008】(ハ)特開2001-44156号公報には、基板上にシリコン酸化膜、窒化タンタル(TaN)膜、銅(Cu)膜の順序で堆積して化学機械研磨によって配線等のパターンを形成する場合に、第1の研磨をSiO₂膜が露出するまでCu、TaNを研磨することで行い、その後、第2の研磨を研磨速度が $SiO_2/Cu = 0.2 \sim 5$ の研磨剤にて研磨することにより行うことで、エロージョンの発生を抑制する研磨方法が提案されている。

【0009】

【発明が解決しようとする課題】上述の(イ)の方法を半導体基板に埋め込み配線を形成する際に用いると、研磨速度の選択比が大きいため、SiO₂層が露出した時点での研磨の終点検出を簡便に行うことができる。したがって、この方法によれば、オーバー研磨が少なく、ディッシングの発生が少ないとされている。しかし実際には、配線部分のWが僅かに研磨され、その分ディッシングが発生する。このわずかなディッシングは、現世代で問題となるレベルでは無いとしても、微細化の進む次世代以降で問題となると考えられる。また、Wパターンが無いところでSiO₂は殆ど研磨されないのに対して、Wパターンが密集しているところでは、配線部のWが研磨されると共に僅かながらSiO₂が研磨されていくことによりエロージョンが発生してしまうという問題もある。

【0010】上述の(ロ)の方法では、第2の研磨における選択比を $0.5 \leq W/SiO_2 \leq 3$ としている。し

かし、本発明者らの実験では、実際に研磨速度比 W/SiO_2 が約0.5又は3の研磨剤で研磨を行うと、ディッシング、エロージョンが発生してしまう場合があった。また、上述の特開平10-214834号公報では、第2の研磨において、砥粒としてシリカ粒子を、pH調整剤として水酸化アンモニウムや水酸化カリウムを使用した研磨液を用いている。この研磨液は一般的な絶縁膜研磨用の研磨液であり、「Wは殆ど研磨されない」(第8頁30行)とされているが、実際には、このようなアルカリ系の研磨液を使用するとWが僅かにエッチングされる。このため、特にWの微細な配線、プラグに対するCMPを行うと、W成膜時のシームから研磨液が侵入して配線又はプラグ内でエッチングを起こし、キーホールが生じて配線抵抗が上昇するといった問題が発生する場合がある。

【0011】また、この研磨液を使用するとWは殆ど研磨されないため、逆ディッシング(Wプラグ、配線が絶縁膜よりも凸になってしまう状態)が発生して新たな段差を生じてしまう場合がある。さらに、第1の研磨においてWの膜残りが発生した場合、第2の研磨ではW膜残り部分は研磨が行われず、ショートとなってしまう。また、この研磨液では高い研磨速度「チタン膜と酸化膜の平均研磨速度は共に100nm/分」(第8頁29行)と「上層の導電膜(W)に対する研磨速度が絶縁膜に対する研磨速度の3倍以下である研磨速度選択比」(第10頁34行)の実現は個別には可能であるが、Wは殆ど研磨されない研磨液を使用するため、これらの両立は不可能である。さらに、酸化剤等を使用せずにTi、Wを研磨しているため、微細パターンにおいては研磨屑となったTi、Wの再付着によりショートが生じてしまう。

【0012】また、この方法では、第1の研磨で用いている研磨液が酸性で第2の研磨に用いている研磨液がアルカリ性のため、第1の研磨後ウエハの洗浄を十分に行わなければならない。これが不十分であると第2の研磨において研磨液のコンタミネーションが生じ、含有化学成分の働きが変化してしまうと共に、第1の研磨液の砥粒であるアルミナがアルカリ性下で凝集して、研磨傷の原因となってしまう。

【0013】上述した(ハ)の方法によると、第2の研磨の選択比 SiO_2/Cu は $0.2 \sim 5$ とされている。しかし、本発明者らの実験では、W配線形成の埋め込み研磨を研磨速度比 SiO_2/W が約0.2又は5の研磨剤により行うと、ディッシング、エロージョンが発生してしまう場合があった。また、この方法では、Cu研磨液としてアルミナ砥粒の研磨液、SiO₂研磨液としてシリカ砥粒の研磨液を使用している。しかし、一般に酸性条件下では、アルミナはプラスに帯電しており、一方シリカはマイナスに帯電している。したがって、これらが混合されるとアルミナとシリカが引きつけ合って凝集し、研磨傷の原因となってしまう。

10

20

30

40

50

【0014】そこで本発明は、段差の段差の無い埋め込み構造を高研磨速度で実現することのできる研磨剤及び化学機械研磨方法と、該方法を用いた配線基板の製造方法とを提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明では、内壁がバリア膜で覆われ、内部が埋め込み膜によって充填されている凹部を備える半導体基板の表面に設けられたバリア膜及び埋め込み膜を、酸化剤と10～28重量%の砥粒とを含む酸性の第3の研磨剤を用いて研磨する半導体装置の製造方法が提供される。

【0016】また、一般的に導電体等のパターンは、絶縁膜が形成された半導体基板上へのレジストパターン形成、半導体基板のエッチング、レジスト除去、導電体膜の成膜、所定のパターン以外の導電体膜のCMPによる除去によって形成される。しかし、 $L/S = 150/150$ (nm) といった微細パターンは、分解能の不足により、直接的なフォトリソグラフィではパターンニングできない。

【0017】そこで本発明では、ひとつの例として、

(1) 半導体基板上にフォトリソグラフィ等によりレジストパターンを形成し、半導体基板をエッチングしてレジストを剥離するなどして除去し、半導体基板の表面に凹部を形成する凹部形成工程、(2) 凹部が形成された絶縁膜上に凹部の内壁を覆うようにCVD (Chemical Vapor Deposition) 等により絶縁膜を形成する工程、

(3) 凹部の内壁を覆うようにして半導体基板の表面にバリア膜を形成するバリア膜形成工程、(4) バリア膜表面お含み、凹部内部を充填するようにに埋め込み膜を形成する埋め込み膜形成工程、及び、(5) 酸化剤と10～28重量%の砥粒とを含む酸性の第3の研磨剤を用いて、半導体基板表面の上記バリア膜及び埋め込み膜を化学機械研磨する研磨工程を備える半導体装置の製造方法が提供される。

【0018】なお、上述した第3の研磨液は、半導体基板や酸化膜を研磨可能な第1の研磨剤と、バリア膜及び埋め込み膜を研磨可能な第2の研磨剤とを混合することにより調製して得られる。そこで、本発明の半導体装置の製造方法は、半導体基板や酸化膜を研磨可能な第1の研磨剤と、バリア膜及び埋め込み膜を研磨可能な第2の研磨剤とを混合して第3の研磨剤とする研磨剤調製工程をさらに備えてもよい。ここで「研磨可能」とは、研磨圧14 kPa (約2 PSI) 以上、定盤回転数90 rpm以上における研磨速度が、タングステン、シリコン酸化膜ともに50 nm/分以上であることを言う。

【0019】なお、混合の方法は特に限定されるものではなく、例えば、溶液中で2液を混合してもよく、研磨面へ研磨剤を供給するための配管中で混合してもよく、研磨布上で混合してもよい。混合用研磨剤も特に限定されるものではなく、広く一般的なW用研磨液とSiO₂

膜用研磨液を使用することができる。混合比も、適宜決定することができるが、W膜と基板 (SiO₂ 膜) の研磨速度がほぼ同等 (望ましくは研磨速度 (選択) 比 $W/SiO_2 = 0.7 \sim 1.3$) になる混合比とすることが好ましい。

【0020】半導体基板や酸化膜用の第1の研磨剤と、バリア膜及び埋め込み膜用の第2の研磨剤とを混合することにより第3の研磨剤を調製する場合、更に酸化剤を添加することができる。この酸化剤も、埋め込み膜 (好ましくはW) を酸化可能な酸化還元電位をもつものであれば良く、特に限定されるものではないが、金属不純物等を含まないH₂O₂ が好ましい。本発明における第1の研磨剤のpHは、酸性であれば良いが、Wを溶解しない4以下の酸性が特に好ましい。

【0021】本発明の半導体装置の製造方法は、半導体基板がその上に酸化シリコン絶縁膜を備え、バリア膜が窒化チタンからなり、埋め込み膜がタングステンからなる場合に、特に適している。

【0022】また、この本発明の半導体装置の製造方法に好適な研磨剤として、本発明では、基板材料 (特に酸化シリコン) に対する研磨速度と、埋め込み材料 (特にタングステン) に対する研磨速度との比が、0.7 : 1 ~ 1.3 : 1 である研磨剤が提供される。この本発明の研磨剤は、バリア膜材料 (特に窒化チタン) に対する研磨速度と、埋め込み材料 (特にタングステン) に対する研磨速度との比が、0.7 : 1 ~ 1.3 : 1 であることが望ましい。

【0023】さらに、本発明では、内壁をバリア膜で覆われ、内部が埋め込み膜によって充填されている凹部を備える半導体基板の表面に設けられたバリア膜及び埋め込み膜を研磨するための化学機械研磨用研磨剤であって、酸化剤と10～28重量%の砥粒とを含む酸性の研磨剤が提供される。

【0024】なお、本発明の研磨剤では、酸化剤は過酸化水素が好ましく、砥粒はコロイダルシリカであることが好ましい。過酸化水素の濃度は0.5～5重量%であることが好ましい。また、上述のように、基板材料 (特に酸化シリコン) と、埋め込み材料 (特にタングステン) と、バリア膜材料 (特に窒化チタン) とに対する研磨速度が、それぞれ同程度 (すなわち、研磨速度差が30%以内) であることが望ましく、特に基板材料 (特に酸化シリコン) と、埋め込み材料 (特にタングステン) との研磨速度が同程度であることが本発明に好適である。

【0025】また、本発明の研磨剤は、砥粒を10～28重量%含むことが好ましく、15～23重量%含むことがさらに好ましい。砥粒を15～19重量%含む研磨剤は、ディッシング及びエロージョンを通常の研磨条件においてほとんど抑制できるため、特に好ましい。なお、研磨条件としては、研磨圧14～35 kPa (約2

～5 P S I)、定盤回転数93～124 r p mが本発明に好適である。

【0026】図1は従来の埋め込み配線材料(W)5だけを研磨する場合を表わしている。この図からも明らかのように、埋め込み配線6用凹部3の断面形状が矩形にならず、パターニングされた絶縁膜2上にCVD等により絶縁膜を形成する時点で、隣接しているパターンどうしの配線6が短絡している可能性がある。しかし、本発明の半導体装置の製造方法では、図2に示すように、導電体5と絶縁膜2とを一括して研磨することができる。10

【0027】また、従来の技術では、一般に、メタルタマシに際して、新たに段差を発生してしまうディッシング及びエロージョンが大きな問題となっている。しかし、本発明によれば、これを低く抑えることができる。

【0028】

【発明の実施の形態】以下に、半導体装置の製造方法について、特に半導体基板上にタングステンからなる埋め込み配線を形成する製造工程を、図面を用いて詳細に説明する。20

(実施例1)

(1) 配線用凹部の形成

まず、TEOS(テトラエトキシシラン)を原料にしてCVD法により、半導体基板1の表面に厚さ約1μmのシリコン酸化膜(SiO₂膜)2を形成した(図3

(a))。次に、シリコン酸化膜2上に感光性樹脂組成物を塗布して乾燥させ、フォトリソグラフィーによりレジストパターンを形成した後、反応性イオンエッチングにより、幅約400nm、深さ約300nmの溝状配線用凹部3を形成し、レジストを除去した(図3

(b))。これにCVD法により150nmのシリコン酸化膜を形成し(図3(c))、異方性エッチングすることにより、幅約100nm、深さ約260nmの配線用溝状凹部を形成した(図3(d))。30

【0029】(2) バリア膜及び埋め込み膜の形成

続いて、溝状凹部3の内壁を含むシリコン酸化膜2表面に、CVD法により厚さ約10nmの窒化チタン(TiN)からなるバリア膜4を成膜し(図3(e))、さらにこのバリア膜4の全面に、CVD法によりタングステン(W)膜(埋め込み膜)5を、配線用溝3内部が充填され、さらにシリコン酸化膜2の凹部形成面の主表面からの膜厚が600nmになるまで堆積した(図3

(f))。

【0030】(3) 研磨剤の調製

本実施例では、第1の研磨液である絶縁膜用研磨液(酸性のKlebosol(Clariant社製、コロイダルシリカ、平均

粒径:50nm))と第2の研磨液であるW研磨液(SEMI-SPERSE W2000(Cabot社製))とを、混合比50:50の割合で混合し、更に、その混合液に、30%過酸化水素水溶液を研磨剤全量中の過酸化水素濃度が2%になるように容器中で混合したものを、第3の研磨液として用いた。なお、過酸化水素濃度を一定にしたときの第1の研磨液(以下、絶縁膜研磨液、またはSiO₂膜用研磨液とする)と第2の研磨液(以下、W用研磨液とする)との混合液におけるWとSiO₂との研磨速度は、混合比に応じて、図4に示すようになる。本実施例では、WとSiO₂との研磨速度(選択)比がほぼ1になるように、混合比を50:50とした。得られた第3の研磨液における選択比は、W膜/SiO₂膜=1.1であった。

【0031】(4) 研磨

上述の工程(2)により得られた基板(図3(f))の表面に対して、上述の工程(3)により得られた研磨剤を用い、研磨装置により以下の条件にて化学機械研磨を行って、タングステンからなる埋め込み配線6を形成した(図3(g))。

<研磨条件>

研磨装置:自作装置

研磨布:Rodel社IC1400

研磨液の供給量:200ml/分

研磨圧:27.5kPa

定盤回転数:93rpm

研磨時間:4.5分

得られた研磨面のディッシング量及び最大エロージョン量を測定し、ディッシング量及びエロージョン量がいずれも50nm以下のものを「○」とし、いずれかが50nmを超えたものを「×」として判定した。結果を表1に示す。ただし、表1において「選択比」は(W膜に対する研磨速度)/(SiO₂膜に対する研磨速度)の値である。なお、ディッシング量については配線部断面のSEM画像から、エロージョン量は配線パターンの無い部分と配線パターン密集部との段差を測定することにより算出した。本実施例により得られた配線基板では、ディッシング及びエロージョンが双方とも大幅に低減され、良好な結果が得られた。

【0032】このようにして、第3の研磨液を用いて半導体基板上に埋め込まれたタングステン配線を、その表面が極めて平坦な状態に形成することが可能となり、次工程への影響が少なく、良好な特性を示す半導体装置を製造することが出来た。

【0033】

【表1】

表1

実施例	研磨液混合割合 W用/SiO ₂ 膜用	砥粒濃度 (重量%)	研磨速度(nm/分)			ディッシング量 (nm)	最大エロージョン量 (nm)	判定
			W	SiO ₂	選択比			
1	50/50	16	177	155	1.1	0	20	○
2	50/50	16	170	148	1.1	0	25	○
3	70/30	12	190	145	1.3	30	40	○
4	60/40	14	180	150	1.2	10	30	○
5	30/70	21	120	170	0.7	15(凸)	30	○
6	25/75	22	115	162	0.7	30(凸)	45	○
7	25/75	22	190	211	0.9	5(凸)	20	○
8	10/90	26	110	150	0.7	17(凸)	30	○
9	90/10	28	110	150	2.9	30(凸)	40	○
10	30/70	16	175	170	1.0	0	11	○
11	30/70	16	220	220	1.0	0	10	○
12	50/50	13	125	122	1.0	0	12	○
13	25/75	17	240	235	1.0	0	10	○
14	15/85	19	200	250	0.8	7(凸)	25	○
15	65/35	10	170	130	1.3	10	30	○
16	10/90	19	85	120	0.7	15(凸)	30	○
17	40/60	14	120	122	1.0	0	5	○
18	50/50	13	130	130	1.0	0	8	○
19	35/65	15	100	100	1.0	0	5	○
比較例	100/0	5	220	2	110	55	200	×

【0034】（実施例2）実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、第1の研磨工程として、W用研磨液（SEMI-SPERSE W2000（Cabot社製））に混合液全量中の過酸化水素濃度が2%になるように容器中で30%過酸化水素水溶液を混合した研磨液を第3の研磨液として用い、WとTiNを3.5分研磨してSiO₂膜が露出した時点で研磨を停止した。続いて、第2の研磨工程として、別の定盤上で、実施例1における研磨工程（3）と同様にして研磨を行った。ただし、研磨時間は0.5分とした。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、有効な結果が得られ、本発明がタングステンの膜残りにも有効であることがわかった。

【0035】（実施例3）実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液（SEMI-SPERSE W2000（Cabot社製））とSiO₂膜用研磨液（酸性のKlebosol（Clariant社製））との混合液（混合比：70/30）に、30%過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が2%になるように容器中で混合したものを第3の研磨液として用い、研磨時間は4分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/SiO₂膜=1.4であった。表1

に示す研磨結果からわかるように、実施例1よりややディッシング量及びエロージョン量が多かったものの、本実施例においても良好な結果が得られた。

【0036】（実施例4）実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液（SEMI-SPERSE W2000（Cabot社製））とSiO₂膜用研磨液（酸性のKlebosol（Clariant社製））との混合液（混合比：60/40）に、30%過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が2%になるように容器中で混合したものを第3の研磨液として用い、研磨時間は4分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/SiO₂膜=1.3であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0037】（実施例5）実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液（SEMI-SPERSE W2000（Cabot社製））とSiO₂膜用研磨液（酸性のKlebosol（Clariant社製））との混合液（混合比：30/70）に、30%過酸化水素水溶液

を、研磨剤全量中の過酸化水素濃度が 2 % になるように容器中で混合したものを第 3 の研磨液として用い、研磨時間は 5.6 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 0.7 であった。研磨の結果を、表 1 に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0038】(実施例 6) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、タングステン用研磨液 (SEMI-SPERSE W2000 (Cabot 社製)) と絶縁膜用研磨液 (酸性の Klebosol (Clariant 社製)) との混合液 (混合比: 25/75) に 30 % 過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が 2 % になるように容器中で混合したものを第 3 の研磨液として用い、研磨時間は 6 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 0.6 であった。表 1 に示す研磨結果からわかるように、実施例 1 よりややディッシング量及びエロージョン量が多かったものの、本実施例においても良好な結果が得られた。

【0039】(実施例 7) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W 用研磨液 (SEMI-SPERSE W2000 (Cabot 社製)) と SiO₂ 膜用研磨液 (酸性の Klebosol (Clariant 社製)) との混合液 (混合比: 25/75) に、30 % 過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が 5 % になるように容器中で混合したものを第 3 の研磨液として用い、研磨時間は 3.5 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 0.9 であった。研磨の結果を、表 1 に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0040】(実施例 8) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨圧、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W 用研磨液 (SEMI-SPERSE W2000 (Cabot 社製)) と SiO₂ 膜用研磨液 (酸性の Klebosol (Clariant 社製)) との混合液 (混合比: 10/90) に、30 % 過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が 5 % になるように容器中で混合したものを第 3 の研磨液として用い、研磨圧は 13.8 kPa、研磨時間は 5.6 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 0.7 であった。研磨の結果を、表 1 に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0041】(実施例 9) 実施例 1 と同様に凹部を形成

し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W 用研磨液 (SEMI-SPERSE W2000 (Cabot 社製)) と SiO₂ 膜用研磨液 (酸性の Klebosol (Clariant 社製)) との混合液 (混合比: 2/98) に、35 % 過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が 2 % になるように容器中で混合したものを第 3 の研磨液として用い、研磨時間は 3.5 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 0.7 であった。表 1 に示す研磨結果からわかるように、実施例 1 よりややディッシング量及びエロージョン量が多かったものの、本実施例においても良好な結果が得られた。

【0042】(実施例 10) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W 用研磨液 (SEMI-SPERSE W2000 (Cabot 社製)) に 2 % になるように H₂O₂ を添加した研磨液と、SiO₂ 膜用研磨液 (中性の PL4101 (フジミインコーポレーテッド製)) とを用いて調製した混合液 (混合比: 30/70) を第 3 の研磨液として用い、研磨時間は 4 分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W 膜 / SiO₂ 膜 = 1 であった。

【0043】本実施例における研磨剤混合液の調製方法を図 5 に示す。本実施例では、絶縁膜用研磨液タンク 55 と H₂O₂ 含有の W 用研磨液タンク 56 とから配管 53、54 を介してそれぞれ所定の混合比になるように設定された流量で供給された絶縁膜用研磨液及び H₂O₂ 含有の W 用研磨液が混合溶液 51 内で混合され、研磨液として研磨装置 50 に供給される。なお、混合容器 51 と H₂O₂ 含有の W 用研磨液タンク 56 とをつなぐ配管 54 には、H₂O₂ 濃度モニタ 57 が取り付けられており、H₂O₂ 含有の W 用研磨液タンク 56 内の溶液の H₂O₂ 濃度は、この H₂O₂ 濃度モニタ 57 により検出された H₂O₂ 濃度によってフィードバックコントロールされて、常に所定の濃度 (本実施例では 2 %) に維持されている。

【0044】本実施例における研磨の結果を、表 1 に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0045】(実施例 11) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、実施例 10 と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。ただし、研磨圧は 34.6 kPa、研磨時間は 3.2 分とした。研磨の結果を、表 1 に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0046】(実施例 12) 実施例 1 と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例 1 と同様にして、埋め込み膜及

びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%になるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のPL4101 (フジインコーポレーテッド製)) とを用い、実施例10 (図5) と同様にして調製した混合液 (混合比: 50/50) を第3の研磨液として用い、研磨圧は13.8 kPa、研磨時間は5.5分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0047】 (実施例13) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、定盤回転数、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。

【0048】 本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%になるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のPL4101 (フジインコーポレーテッド製)) とを用い、実施例10 (図5) と同様にして調製した混合液 (混合比: 25/75) を第3の研磨液として用い、定盤回転数は124 rpm、研磨時間は3分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0049】 (実施例14) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨剤以外は実施例13と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%になるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のPL4101 (フジインコーポレーテッド製)) とを用い、実施例10 (図5) と同様にして調製した混合液混合液 (混合比: 15/85) を第3の研磨液として用いた。この研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=0.8であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0050】 (実施例15) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨剤以外は実施例13と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%になるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のPL4101 (フジインコーポレーテッド製)) とを用い、実施例10 (図5) と同様にして調製した混合液混合液 (混合比: 65/35) を第3の研磨液として用いた。この研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1.3であった。研磨の結果を、表1に示す。本実施例

においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0051】 (実施例16) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨剤以外は実施例13と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%になるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のPL4101 (フジインコーポレーテッド製)) とを用い、実施例10 (図5) と同様にして調製した混合液混合液 (混合比: 10/90) を第3の研磨液として用いた。この研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=0.7であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0052】 (実施例17) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に2%となるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のコロイダルシリカ分散液 (平均粒径: 20 nm)) とを用い、実施例10 (図5) と同様にして調製した混合液 (混合比: 40/60) を第3の研磨液として用いた。研磨時間は5.5分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0053】 本実施例における配線パターン断面を示すSEM (走査型電子顕微鏡) 画像を図6に示す。このSEM画像では、絶縁膜中に約100 nm幅の配線が4本埋め込まれており、絶縁膜と配線との段差はほとんど生じていないことが観察された。配線近傍の絶縁膜にわずかなくぼみが観察されたが、極めて小さく (10 nm以下)、平坦性は良好であった。

【0054】 (実施例18) 実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液 (SEMI-SPERSE W2000 (Cabot社製)) に1.5%となるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液 (中性のコロイダルシリカ分散液 (平均粒径: 20 nm)) との混合液 (混合比: 50/50) を第3の研磨液として用い、研磨時間は5.5分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0055】 (実施例19) 実施例1と同様に凹部を形

成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本実施例では、W用研磨液（SEMI-SPERSE W2000（Cabot社製））に1%となるように H_2O_2 を添加した研磨液と、 SiO_2 膜用研磨液（アルカリ性のコロイダルシリカ分散液（平均粒径：20nm））との混合液（混合比：65/35）に、さらに硫酸を添加することでpHを2に調整したものを第3の研磨液として用い、研磨時間は7分とした。本実施例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=1であった。研磨の結果を、表1に示す。本実施例においても、ディッシング、エロージョン共に大幅に低減でき、良好な結果が得られた。

【0056】（比較例）実施例1と同様に凹部を形成し、バリア膜及び埋め込み膜を成膜した後、研磨時間及び研磨剤以外は実施例1と同様にして、埋め込み膜及びバリア膜を化学機械研磨した。本比較例では、W用研磨液（SEMI-SPERSE W2000（Cabot社製））に、30%過酸化水素水溶液を、研磨剤全量中の過酸化水素濃度が2%になるように容器中で混合したものを第3の研磨液として用い、研磨時間は5分とした。本比較例で用いた研磨剤の研磨速度の選択比は、W膜/ SiO_2 膜=100/1であった。

【0057】表1に示すように、本比較例ではディッシング量及び最大エロージョン量ともに非常に大きかった。本比較例における研磨後の配線パターン断面のSEM画像を図7に示す。このSEM画像では、絶縁膜中に埋め込まれた約100nm幅の4本の配線と、絶縁膜とに大きな段差があることが観察された。

【0058】（実施例20）図8に半導体装置の概略断面図を示す。トランジスタ素子形成を行った基板上にポリシリコンの配線及びコンタクトプラグを形成し、その上部にタングステン或いは銅のコンタクトプラグ及び配線を繰り返し形成する半導体装置の製造方法において、実施例1～19ではタングステン埋め込み配線を形成するのに適用した例を用いた。また、実施例1同様の*

*方法により絶縁膜上に穴或いは矩形形状の成形を行い同様にタングステンを埋め込み研磨により露出させるタングステンコンタクトプラグ形成に適用した場合においても、実施例1～19同様の効果を得ることが出来ることを確認した。

【0059】

【発明の効果】本発明によれば、基板に異種材料を埋め込む化学機械研磨を用いる工程で、ディッシング及びエロージョンの発生を低減することができ、段差の段差の無い埋め込み構造を実現することができる。また、本発明によれば、高速の研磨を行うことができるため、大量生産に適しており、高い製造歩留りで、低コストに配線基板及び半導体装置を製造することが可能である。

【図面の簡単な説明】

【図1】 従来の研磨方法を示す説明図である。

【図2】 本発明による研磨方法の一例を示す説明図である。

【図3】 実施例における半導体装置の製造工程を示す説明図である。

【図4】 被研磨膜の研磨速度と研磨剤混合割合との関係を示すグラフである。

【図5】 実施例10における研磨剤の混合方法を示す説明図である。

【図6】 実施例17において形成した埋め込み配線の断面形状を示すSEMの画面イメージを示す説明図である。

【図7】 比較例において形成した埋め込み配線の断面形状を示すSEMの画面イメージを示す説明図である。

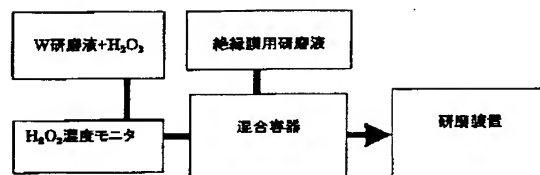
【図8】 半導体装置の概略断面図

【符号の説明】

1…半導体基板基材、2…シリコン酸化膜（絶縁膜）、3…配線用溝（凹部）、4…窒化チタン膜（バリア膜）、5…タングステン膜（埋め込み膜）、6…タングステンの埋め込み配線、7…タングステンコンタクトプラグ、8…ポリシリコンコンタクトプラグ、9…ポリシリコン配線。

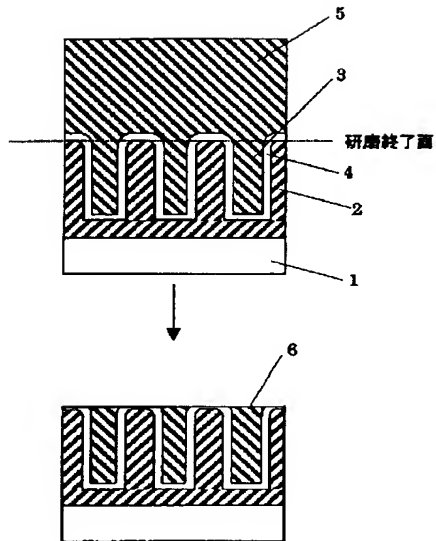
【図5】

【図5】



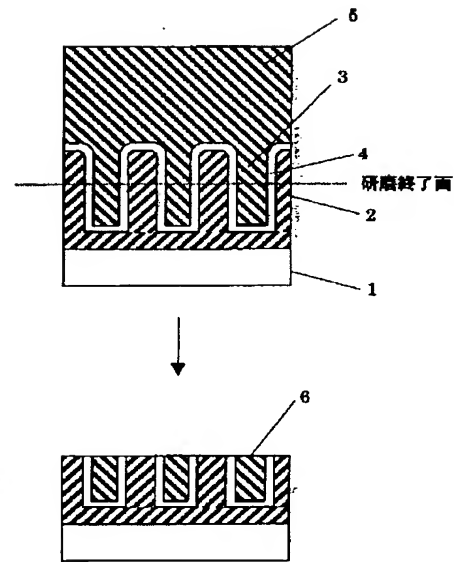
【図1】

【図1】



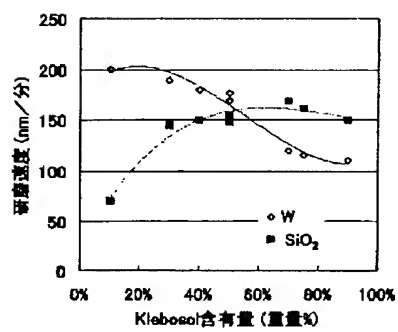
【図2】

【図2】



【図4】

【図4】

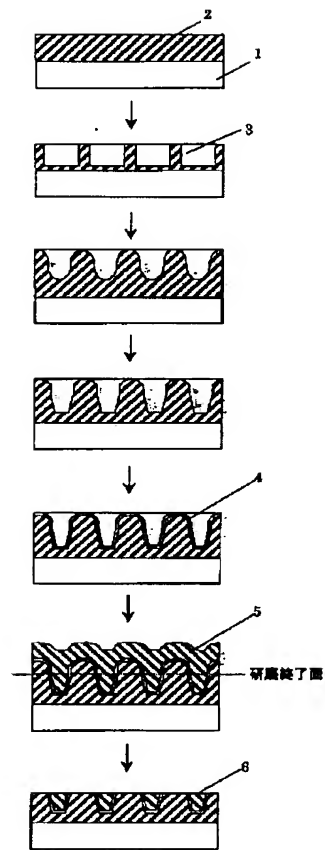


【図6】



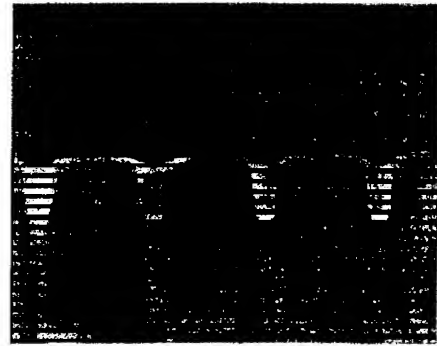
【図3】

【図3】



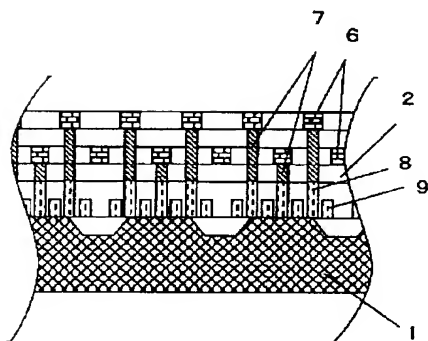
【図7】

【図7】



【図8】

【図8】



フロントページの続き

(72)発明者 佐藤 秀己
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72)発明者 内田 憲宏
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 金井 史幸
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
Fターム(参考) 3C058 AA07 CB01 CB02 DA02 DA13
DA17